

ΠΕΡΙΕΧΟΜΕΝΑ

Μέρος I Εισαγωγή

1	Η ψηφιακή αφαίρεση	3
1.1	Ψηφιακά σήματα	4
1.2	Τα ψηφιακά σήματα είναι ανεκτικά στον θόρυβο	5
1.3	Τα ψηφιακά σήματα αναπαριστούν σύνθετα δεδομένα	9
1.3.1	Αναπαράσταση της ημέρας του έτους	11
1.3.2	Αναπαράσταση αφαιρετικών χρωμάτων	12
1.4	Ψηφιακές λογικές συναρτήσεις	13
1.5	Περιγραφή ψηφιακών κυκλωμάτων και συστημάτων σε Verilog	15
1.6	Η ψηφιακή λογική στα συστήματα	16
	Περίληψη	18
	Βιβλιογραφικές σημειώσεις	18
	Ασκήσεις	19
2	Η πρακτική της σχεδίασης ψηφιακών συστημάτων	23
2.1	Η διαδικασία σχεδίασης	23
2.1.1	Καθορισμός προδιαγραφών	24
2.1.2	Ανάπτυξη εννοιών και εφικτότητα	26
2.1.3	Κατάτμηση και λεπτομερής σχεδίαση	29
2.1.4	Επαλήθευση	29
2.2	Τα ψηφιακά συστήματα κατασκευάζονται με τσιπ και πλακέτες	30
2.3	Εργαλεία σχεδίασης με τη βοήθεια ηλεκτρονικού υπολογιστή	36
2.4	Ο νόμος του Moore και η εξέλιξη των ψηφιακών συστημάτων	38
	Περίληψη	40
	Βιβλιογραφικές σημειώσεις	40
	Ασκήσεις	41

Μέρος II Συνδυαστική λογική

3	Άλγεβρα Boole	47
3.1	Αξιώματα	48
3.2	Ιδιότητες	49
3.3	Δυϊκές συναρτήσεις	51
3.4	Κανονική μορφή	52
3.5	Από τις εξισώσεις στις πύλες	53
3.6	Εκφράσεις Boole στη Verilog	56
	Περίληψη	58
	Βιβλιογραφικές σημειώσεις	59
	Ασκήσεις	59

4	Λογικά κυκλώματα CMOS	63
4.1	Μεταγωγική λογική	63
4.2	Μοντέλο μεταγωγής τρανζίστορ MOS	68
4.3	Κυκλώματα πύλης CMOS	75
4.3.1	Βασικό κύκλωμα πύλης CMOS	75
4.3.2	Αντιστροφείς, πύλες NAND και NOR	76
4.3.3	Σύνθετες πύλες	79
4.3.4	Τρικαταστασιακά κυκλώματα	82
4.3.5	Κυκλώματα προς αποφυγή	84
	Περίληψη	84
	Βιβλιογραφικές σημειώσεις	85
	Ασκήσεις	86
5	Καθυστέρηση και ισχύς κυκλωμάτων CMOS	90
5.1	Καθυστέρηση στατικών πυλών CMOS	90
5.2	Διαμοίραση και οδήγηση μεγάλων φορτίων	94
5.3	Σύμπτυξη και λογική προσπάθεια	95
5.4	Υπολογισμός καθυστέρησης	98
5.5	Βελτιστοποίηση της καθυστέρησης	101
5.6	Καθυστέρηση αγωγού	104
5.7	Κατανάλωση ισχύος σε κυκλώματα CMOS	108
5.7.1	Δυναμική ισχύς	108
5.7.2	Στατική ισχύς	110
5.7.3	Κλιμάκωση ισχύος	110
	Περίληψη	111
	Βιβλιογραφικές Σημειώσεις	112
	Ασκήσεις	112
6	Σχεδίαση συνδυαστικής λογικής	117
6.1	Συνδυαστική λογική	117
6.2	Κλειστότητα	118
6.3	Πίνακες αληθείας, ελαχιστοόροι και κανονική μορφή	119
6.4	Όροι και κύβοι	123
6.5	Χάρτες Karnaugh	127
6.6	Κάλυψη μιας συνάρτησης	129
6.7	Από την κάλυψη στις πύλες	130
6.8	Ελλιπώς ορισμένες συναρτήσεις	131
6.9	Υλοποίηση γινομένου αθροισμάτων	133
6.10	Σπινθήρες	135
	Περίληψη	138
	Βιβλιογραφικές Σημειώσεις	139
	Ασκήσεις	139
7	Περιγραφές Verilog για συνδυαστική λογική	145
7.1	Το κύκλωμα πρώτου αριθμού στη Verilog	145
7.1.1	Μια υπομονάδα Verilog	146
7.1.2	Η εντολή case	147
7.1.3	Η εντολή casex	150
7.1.4	Η εντολή assign	151
7.1.5	Δομική περιγραφή	152

7.1.6	Η συνάρτηση δεκαδικού πρώτου αριθμού	154
7.2	Ένα πρόγραμμα δοκιμών για το κύκλωμα πρώτου αριθμού	154
7.3	Παράδειγμα: ένας αποκωδικοποιητής επτά τμημάτων	158
	Περίληψη	163
	Βιβλιογραφικές σημειώσεις	164
	Ασκήσεις	164
8	Συνδυαστικά κατασκευαστικά μπλοκ	168
8.1	Πολύμπιτη σημειογραφία	168
8.2	Αποκωδικοποιητές	168
8.3	Πολυπλέκτες	174
8.4	Κωδικοποιητές	180
8.5	Διαιτητές και κωδικοποιητές προτεραιότητας	183
8.6	Συγκριτές	188
8.7	Ολισθητές	190
8.8	Μνήμες μόνο για ανάγνωση	191
8.9	Μνήμες ανάγνωσης-εγγραφής	195
8.10	Προγραμματιζόμενοι λογικοί πίνακες	198
8.11	Φύλλα δεδομένων	199
8.12	Πνευματική ιδιοκτησία	201
	Περίληψη	201
	Βιβλιογραφικές σημειώσεις	202
	Ασκήσεις	202
9	Συνδυαστικά παραδείγματα	206
9.1	Κύκλωμα πολλαπλασίων του 3	206
9.2	Κύκλωμα αυριανής ημερομηνίας	208
9.3	Διαιτητής προτεραιότητας	211
9.4	Τρίλιζα	212
	Περίληψη	220
	Ασκήσεις	221

Μέρος III Αριθμητικά κυκλώματα

10	Αριθμητικά κυκλώματα	227
10.1	Δυαδικοί αριθμοί	227
10.2	Δυαδική πρόσθεση	230
10.3	Αρνητικοί αριθμοί και αφαίρεση	238
10.4	Πολλαπλασιασμός	246
10.5	Διαίρεση	249
	Περίληψη	253
	Ασκήσεις	254
11	Αριθμοί σταθερής και κινητής υποδιαστολής	261
11.1	Σφάλμα αναπαράστασης	261
11.2	Αριθμοί σταθερής υποδιαστολής	264
	11.2.1 Αναπαράσταση	264
	11.2.2 Πράξεις	267
11.3	Αριθμοί κινητής υποδιαστολής	269

11.3.1	Αναπαράσταση	269
11.3.2	Μη κανονικοποιημένοι αριθμοί και σταδιακή υποχείλιση	271
11.3.3	Πολλαπλασιασμός κινητής υποδιαστολής	271
11.3.4	Πρόσθεση/αφαίρεση κινητής υποδιαστολής	273
	Περίληψη	277
	Βιβλιογραφική σημείωση	278
	Ασκήσεις	278
12	Γρήγορα αριθμητικά κυκλώματα	282
12.1	Πρόβλεψη κρατουμένου	282
12.2	Επανακωδικοποίηση Booth	289
12.3	Δέντρα Wallace	292
12.4	Σημειώσεις για τη σύνθεση	298
	Περίληψη	298
	Βιβλιογραφικές σημειώσεις	301
	Ασκήσεις	302
13	Αριθμητικά παραδείγματα	305
13.1	Μιγαδικός πολλαπλασιασμός	305
13.2	Μετατροπή από μορφή σταθερής υποδιαστολής σε κινητής υποδιαστολής και αντίστροφα	306
13.2.1	Μορφή κινητής υποδιαστολής	306
13.2.2	Μετατροπή από σταθερή υποδιαστολή σε κινητή	309
13.2.3	Μετατροπή από κινητή σε σταθερή υποδιαστολή	311
13.3	Φίλτρο FIR	311
	Περίληψη	313
	Βιβλιογραφική σημείωση	315
	Ασκήσεις	315

Μέρος IV Σύγχρονη ακολουθιακή λογική

14	Ακολουθιακή λογική	321
14.1	Ακολουθιακά κυκλώματα	322
14.2	Σύγχρονα ακολουθιακά κυκλώματα	323
14.3	Ελεγκτής φωτεινού σηματοδότη	327
14.4	Τιμοδότηση καταστάσεων	330
14.5	Υλοποίηση μηχανών πεπερασμένων καταστάσεων	331
14.6	Υλοποίηση Verilog μηχανών πεπερασμένων καταστάσεων	334
	Περίληψη	340
	Βιβλιογραφικές σημειώσεις	341
	Ασκήσεις	341
15	Περιορισμοί χρονισμού	346
15.1	Καθυστέρηση διάδοσης και επιμόλυνσης	346
15.2	To D flip-flop	350
15.3	Περιορισμοί χρόνου προπαρασκευής και συγκράτησης	350
15.4	Η επίδραση της απόκλισης ρολογιού	354
15.5	Παραδείγματα χρονισμού	356
15.6	Χρονισμός και λογική σύνθεση	358

Περίληψη	360
Βιβλιογραφικές σημειώσεις	361
Ασκήσεις	361
16 Ακολουθιακή λογική διαδρομής δεδομένων	366
16.1 Μετρητές	366
16.1.1 Ένας απλός μετρητής	366
16.1.2 Μετρητής πάνω/κάτω/φόρτωσης	369
16.1.3 Ένας χρονομετρητής	371
16.2 Καταχωρητές ολίσθησης	373
16.2.1 Ένας απλός καταχωρητής ολίσθησης	374
16.2.2 Καταχωρητής ολίσθησης αριστερά/δεξιά/φόρτωσης (LRL)	374
16.2.3 Ενιαίος ολισθητής/μετρητής	375
16.3 Διαμερισμός ελέγχου και δεδομένων	377
16.3.1 Παράδειγμα: FSM αυτόματου πωλητή	378
16.3.2 Παράδειγμα: κλειδαριά συνδυασμού	385
Περίληψη	393
Ασκήσεις	393
17 Κατάτμηση μηχανών πεπερασμένων καταστάσεων	397
17.1 Φωτεινό φλας	398
17.2 Ελεγκτής φωτεινού σηματοδότη	407
Περίληψη	416
Ασκήσεις	418
18 Μικροκώδικας	423
18.1 Απλή FSM μικροκώδικα	423
18.2 «Αλληλούχιση» εντολών	426
18.3 Διακλάδωση πολλών δρόμων	437
18.4 Πολλαπλά είδη εντολών	439
18.5 Υπορουτίνες μικροκώδικα	442
18.6 Απλός ηλεκτρονικός υπολογιστής	445
Περίληψη	449
Βιβλιογραφικές Σημειώσεις	449
Ασκήσεις	454
19 Ακολουθιακά παραδείγματα	458
19.1 Μετρητής διαίρεσης-δια-3	458
19.2 Ανιχνευτής SOS	459
19.3 Παρτίδα τρίλιζας	467
19.4 Κωδικοποιητής/αποκωδικοποιητής Huffman	468
19.4.1 Κωδικοποιητής Huffman	468
19.4.2 Αποκωδικοποιητής Huffman	473
Περίληψη	476
Βιβλιογραφική σημείωση	476
Ασκήσεις	477

20	Επαλήθευση και δοκιμή	481
20.1	Επαλήθευση σχεδίασης	481
20.1.1	Κάλυψη επαλήθευσης	481
20.1.2	Είδη δοκιμών	482
20.1.3	Στατική ανάλυση χρονισμού	484
20.1.4	Τυπική επαλήθευση	484
20.1.5	Παρακολούθηση σφαλμάτων	485
20.2	Δοκιμή	485
20.2.1	Μοντέλα αστοχίας	485
20.2.2	Συνδυαστική δοκιμή	486
20.2.3	Δοκιμή πλεονασματικής λογικής	487
20.2.4	Σάρωση	488
20.2.5	Ενσωματωμένη αυτοδοκιμή (BIST)	489
20.2.6	Χαρακτηρισμός	490
	Περίληψη	491
	Βιβλιογραφικές Σημειώσεις	492
	Ασκήσεις	492

Μέρος VI Σχεδίαση συστήματος

21	Σχεδίαση σε επίπεδο συστήματος	498
21.1	Διαδικασία σχεδίασης συστήματος	498
21.2	Καθορισμός προδιαγραφών	499
21.2.1	Pong	500
21.2.2	DES cracker	501
21.2.3	Συσκευή αναπαραγωγής μουσικής	503
21.3	Διαμερισμός	505
21.3.1	Pong	505
21.3.2	DES cracker	506
21.3.3	Συνθέτης μουσικής	506
	Περίληψη	508
	Βιβλιογραφικές Σημειώσεις	508
	Ασκήσεις	509
22	Χρονισμός διεπαφών, και σε επίπεδο συστήματος	510
22.1	Χρονισμός διεπαφών	510
22.1.1	Χρονισμός πάντα έγκυρο	510
22.1.2	Περιοδικά έγκυρα σήματα	511
22.1.3	Έλεγχος ροής	512
22.2	Διαμερισμός και επιλογή διεπαφής	514
22.3	Σειριακές και πακετοποιημένες διεπαφές	514
22.4	Ισόχρονος χρονισμός	517
22.5	Πίνακες χρονισμού	518
22.5.1	Ροή γεγονότων	519
22.5.2	Διοχέτευση και προβλεπτικός χρονισμός	520
22.6	Παραδείγματα διεπαφών και χρονισμού	520
22.6.1	Pong	520
22.6.2	DES cracker	521

22.6.3	Συσκευή αναπαραγωγής μουσικής	522
	Περίληψη	525
	Βιβλιογραφικές Σημειώσεις	525
	Ασκήσεις	526
23	Διοχετεύσεις	529
23.1	Βασική διοχέτευση	529
23.2	Παραδείγματα διοχετεύσεων	532
23.3	Παράδειγμα: διοχέτευση ενός αθροιστή διάδοσης κρατουμένου	534
23.4	Διακοπές διοχέτευσης	538
23.5	Διπλή ενταμίευση	539
23.6	Ισορροπία φορτίου	544
23.7	Μεταβλητά φορτία	544
23.8	Κοινή χρήση πόρων	549
	Περίληψη	550
	Βιβλιογραφικές Σημειώσεις	550
	Ασκήσεις	551
24	Διασύνδεση	554
24.1	Αφηρημένη διασύνδεση	554
24.2	Δίαυλοι	555
24.3	Σταυρωτοί μεταγωγοί	557
24.4	Δίκτυα διασύνδεσης	560
	Περίληψη	562
	Βιβλιογραφικές Σημειώσεις	562
	Ασκήσεις	563
25	Συστήματα μνήμης	565
25.1	Θεμελιώδη στοιχεία μνήμης	565
25.1.1	Συστοιχίες SRAM	565
25.1.2	Τσιπ DRAM	567
25.2	Διαχωρισμός μνήμης σε φέτες μπιτ και συστοιχίες	569
25.3	Διαπεπλεγμένη μνήμη	571
25.4	Κρυφές μνήμες	574
	Περίληψη	578
	Βιβλιογραφικές Σημειώσεις	578
	Ασκήσεις	578

Μέρος VII Ασύγχρονη λογική

26	Ασύγχρονα ακολουθιακά κυκλώματα	583
26.1	Ανάλυση πίνακα ροής	583
26.2	Σύνθεση πίνακα ροής: το κύκλωμα εναλλαγής	586
26.3	Ανταγωνισμοί και τιμοδότηση καταστάσεων	590
	Περίληψη	594
	Βιβλιογραφικές Σημειώσεις	595
	Ασκήσεις	595

27 Flip-flop	598
27.1 Στο εσωτερικό ενός μανδαλωτή	598
27.2 Στο εσωτερικό ενός flip-flop	601
27.3 Μανδαλωτές και flip-flop CMOS	603
27.4 Παραγωγή πίνακα ροής του μανδαλωτή	605
27.5 Σύνθεση πίνακα ροής για ένα D-flip-flop	607
Περίληψη	609
Βιβλιογραφικές Σημειώσεις	609
Ασκήσεις	609
28 Μεταστάθεια και αποτυχία συγχρονισμού	613
28.1 Αποτυχία συγχρονισμού	613
28.2 Μεταστάθεια	614
28.3 Πιθανότητα εισόδου και εξόδου σε μη επιτρεπτή κατάσταση	617
28.4 Επίδειξη μεταστάθειας	620
Περίληψη	623
Βιβλιογραφικές Σημειώσεις	624
Ασκήσεις	624
29 Σχεδίαση συγχρονιστή	626
29.1 Πού χρησιμοποιούνται οι συγχρονιστές;	626
29.2 Συγχρονιστής «ωμής βίας»	627
29.3 Το πρόβλημα των πολύμπιτων σημάτων	629
29.4 Συγχρονιστής FIFO	631
Περίληψη	638
Βιβλιογραφικές Σημειώσεις	639
Ασκήσεις	639
Παράρτημα Α Στυλ κωδικογράφησης σε Verilog	642
A.1 Βασικές αρχές	642
A.2 Όλη η κατάσταση θα πρέπει να βρίσκεται σε ρητά δηλωμένους καταχωρητές	643
A.3 Ορίστε τις συνδυαστικές υπομονάδες έτσι ώστε να είναι ευανάγνωστες	644
A.4 Τιμοδοτήστε όλες τις μεταβλητές για όλες τις συνθήκες	646
A.5 Διατηρήστε μικρό το μέγεθος των υπομονάδων	647
A.6 Οι μεγάλες υπομονάδες θα πρέπει να είναι δομικές	649
A.7 Χρησιμοποιήστε περιγραφικές ονομασίες σημάτων	649
A.8 Χρησιμοποιήστε συμβολικές ονομασίες για τα υποπεδία των σημάτων	649
A.9 Ορίστε σταθερές	650
A.10 Τα σχόλια θα πρέπει να περιγράφουν την πρόθεση και να αιτιολογούν, όχι να δηλώνουν το προφανές	651
A.11 Μην ξεχνάτε ποτέ ότι ορίζετε hardware	652
A.12 Διαβάστε και ασκήστε κριτική στον κώδικα Verilog	652
Βιβλιογραφία	654